

CLIPPEDIMAGE= JP406151617A  
PAT-NO: JP406151617A  
DOCUMENT-IDENTIFIER: JP 06151617 A  
TITLE: SEMICONDUCTOR DEVICE ASSEMBLING METHOD AND  
SEMICONDUCTOR DEVICE

PUBN-DATE: May 31, 1994

INVENTOR-INFORMATION:  
NAME  
SAITO, TOSHIYA

ASSIGNEE-INFORMATION:	
NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP04294060  
APPL-DATE: November 2, 1992

INT-CL\_(IPC): H01L023/02  
US-CL-CURRENT: 257/778

ABSTRACT:  
PURPOSE: To provide a semiconductor device assembling method that makes it possible to positively increase the yield in the assembling process by decreasing the occurrence of package hermeticity defects.

CONSTITUTION: A semiconductor device A is made by bonding a cap 3 via solder 4 to a package base 2 on which a semiconductor chip 1 is mounted via several solder bumps 1a. After this semiconductor device A is mounted on a test board 10 via solder bumps 2c, it is left in an oxidizing atmosphere such as heated air, etc., to form an oxide film 6 on the surface of the solder 4 sealing the cap thereby closing the crystal grain boundaries 5 present in the solder 4 and thus realizing the recovery and improvement of the hermetic seal.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-151617

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.<sup>5</sup>

H01L 23/02

識別記号

C

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数5(全4頁)

(21)出願番号 特願平4-294060

(22)出願日 平成4年(1992)11月2日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 斉藤 俊哉

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

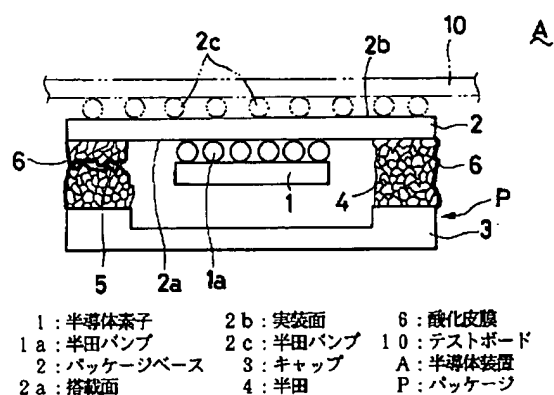
(54)【発明の名称】 半導体装置の組み立て方法および半導体装置

(57)【要約】

【目的】 パッケージの気密不良の発生を減少させ、組み立て工程における歩留りを確実に向上させることが可能な半導体装置の組み立て技術を提供する。

【構成】 複数の半田バンプ1aを介して半導体素子1を搭載したパッケージベース2に、半田4を介してキャップ3を封着した半導体装置Aを、半田バンプ2cを介してテストボード10に搭載した後に、加熱空気などの酸化性雰囲気中に放置して半田4の表面に酸化皮膜6を形成し、半田4に存在する結晶粒界の隙間5を閉塞し、気密性の回復および向上を実現する。

図1



## 【特許請求の範囲】

【請求項1】 パッケージを構成する第1および第2の封止部材を半田によって相互に封着することにより、当該パッケージの内部に所望の機能を有する半導体素子を封止する第1の段階と、前記パッケージを酸化性雰囲気

に曝して前記半田を酸化する第2の段階とからなることを特徴とする半導体装置の組み立て方法。

【請求項2】 前記酸化性雰囲気が酸化触媒（白金（Pt）など）とともに加熱された空気、または加熱された水蒸気からなることを特徴とする請求項1記載の半導体装置の組み立て方法。

【請求項3】 前記第1の封止部材は、その第1主面に第1の半田バンプを介して前記半導体素子を搭載し、第2主面は第2の半田バンプを介して所望の基板に実装されるパッケージベースであり、前記第2の封止部材は前記パッケージベースに封着されるキャップからなり、第1の段階と第2の段階の間に、前記第2の半田バンプを介して前記パッケージベースを所望のテスト基板に搭載する工程を含むことを特徴とする請求項1または2記載の半導体装置の組み立て方法。

【請求項4】 パッケージを構成する第1および第2の封止部材を半田によって相互に封着することにより、当該パッケージの内部に所望の機能を有する半導体素子を封止する第1の段階と、前記パッケージにおける前記半田の外周に皮膜を被着形成する第2の段階とからなることを特徴とする半導体装置の組み立て方法。

【請求項5】 請求項1、2、3または4記載の半導体装置の組み立て方法によって製造された半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の組み立て技術に関し、特に、半田を用いて封着されたパッケージを用いる半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】たとえば、論理LSIなどの組み立て工程においては、複数の半田バンプを介して半導体素子を搭載したパッケージベースに半田を用いてキャップを封着することが行われており、封止後に、所定の気密性試験を実施して所定の判定基準に従い、良品／不良品の選別を行って不良品を廃棄することが行われている。

【0003】

【発明が解決しようとする課題】ところが、気密不良だけのために単純に廃棄したのでは、それまでの一連の工程が全く無駄になり、経済的な損失が大きくなるという問題がある。特に、パッケージ内に封止される半導体素子が比較的高価な場合には、損失は一層大きくなる。

【0004】なお、本発明者らの研究では、気密不良の発生原因は、主に封止用の半田の結晶粒の隙間であることが知られており、共晶組成の半田を用いることが有効

な対策として考えられるが、組み立て手順の関係から、封止用の半田の融点をパッケージ内部における半田バンプの融点よりも低くする必要があり、封止用の半田を最適な共晶組成にできない場合がある。

【0005】本発明の目的は、パッケージの気密不良の発生を減少させ、組み立て工程における歩留りを確実に向上させることが可能な半導体装置の組み立て技術を提供することにある。

【0006】本発明の他の目的は、パッケージの気密性が良好で、動作の信頼性の高い半導体装置を提供することにある。

【0007】本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0009】すなわち、本発明の半導体装置の組み立て方法は、パッケージを構成する第1および第2の封止部材を半田によって相互に封着することにより、当該パッケージの内部に所望の機能を有する半導体素子を封止する第1の段階と、前記パッケージを酸化性雰囲気に曝して前記半田を酸化する第2の段階とからなるものである。

【0010】また、本発明は、請求項1記載の半導体装置の組み立て方法において、前記酸化性雰囲気として酸化触媒（白金（Pt）など）とともに加熱された空気、または加熱された水蒸気を用いるようにしたものである。

【0011】また、本発明は、請求項1または2記載の半導体装置の組み立て方法において、前記第1の封止部材は、その第1主面に第1の半田バンプを介して前記半導体素子を搭載し、第2主面は第2の半田バンプを介して所望の基板に実装されるパッケージベースであり、前記第2の封止部材は前記パッケージベースに封着されるキャップからなり、第1の段階と第2の段階の間に、前記第2の半田バンプを介して前記パッケージベースを所望のテスト基板に搭載する工程を含むようにしたものである。

【0012】また、本発明の半導体装置の組み立て方法は、パッケージを構成する第1および第2の封止部材を半田によって相互に封着することにより、当該パッケージの内部に所望の機能を有する半導体素子を封止する第1の段階と、前記パッケージにおける前記半田の外周に皮膜を被着形成する第2の段階とからなるものである。

【0013】また、本発明の半導体装置は、請求項1、2、3または4記載の半導体装置の組み立て方法によって製造されるものである。

【0014】

【作用】上記した本発明の半導体装置の組み立て方法によれば、たとえば、第1の段階において、第1および第2の封止部材を封着する半田に結晶粒の隙間が生じた場合でも、第2の段階において、当該隙間は当該半田の酸化皮膜によって閉塞されるので、気密不良の発生が回避される。すなわち、従来では気密不良となるはずの半導体装置が救済され、半導体装置の組み立て工程における歩留りが確実に向上する。

【0015】また、本発明の半導体装置の組み立て方法によれば、たとえば、第1の段階において、第1および第2の封止部材を封着する半田に結晶粒の隙間が生じた場合でも、第2の段階において、当該隙間は当該半田の外周に被着された皮膜によって閉塞されるので、気密不良の発生が回避される。すなわち、従来では気密不良となるはずの半導体装置が救済され、半導体装置の組み立て工程における歩留りが確実に向上する。

【0016】また、本発明の半導体装置によれば、パッケージを構成する封止用の半田における結晶粒の隙間が半田自体の酸化物や所望の物質からなる皮膜によって確実に閉塞されるので、気密性が高くなる。この結果、パッケージの気密不良に起因する誤動作が防止され、半導体装置の信頼性が向上する。

【0017】

【実施例1】以下、図面を参照しながら、本発明の一実施例である半導体装置の組み立て方法およびそれを用いて製造される半導体装置の一例について詳細に説明する。

【0018】図1および図3は、本実施例の半導体装置の組み立て方法、およびそれによって製造される半導体装置の一例を示す略断面図である。

【0019】本実施例の半導体装置Aは、パッケージベース2の搭載面2aに複数の半田バンプ1aを介して搭載された半導体素子1と、この半導体素子1を内部に収容した状態でパッケージベース2に半田4を介して気密に封着され、パッケージPを構成するキャップ3とで構成されている。

【0020】パッケージベース2の搭載面2aには、半導体素子1の半田バンプ1aの配置位置に対応して図示しないメタライズパターンが形成されており、このメタライズパターンはパッケージベース2の内部に形成された図示しない多層配線構造を介して、当該搭載面2aの裏側の実装面2bに形成された複数の図示しないメタライズパターンと電気的に接続されている。

【0021】このような構成の本実施例の半導体装置Aの組み立て手順は、まず、パッケージベース2の搭載面2aに対して複数の半田バンプ1aを介して半導体素子1を周知のCCB技術によって接続搭載した後、半田4を介してキャップ3をパッケージベース2に封着する。この状態が図3である。

【0022】この時、なんらかの原因で、半田4の結晶

粒に発生した隙間5が、パッケージPの内部から外部へと繋げると、パッケージPの気密性が低下し、不良となる。

【0023】そこで、本実施例の場合には、まず、図3の状態のパッケージPを、パッケージベース2の実装面2bの図示しないメタライズパターン上に配置された複数の半田バンプ2cを介して、図1に例示されるように所望のテストボード10に仮実装した後、酸化性雰囲気中に置き、パッケージベース2にキャップ3を封着している半田4を外部から酸化する。

【0024】この酸化性雰囲気としては、たとえば、触媒としての白金とともに所定の温度に加熱された空気雰囲気や、加熱された水蒸気雰囲気を用いることができる。

【0025】これにより、半田4の表面は酸化され、当該半田4に隙間5が存在した場合、当該隙間5は、図1に例示されるように、半田4の酸化皮膜6によって閉塞され、パッケージPの気密状態は回復および向上する。

【0026】すなわち、図3のままでは気密不良品となるはずであった半導体装置Aが良品となるように救済される。

【0027】また、テストボード10に仮実装するための複数の半田バンプ2cによって、パッケージベース2の実装面2bの側に露出した図示しないメタライズパターンは隠蔽状態となっているため、前述の酸化性雰囲気中に放置した時に当該メタライズパターンが酸化損傷されることが防止される。

【0028】そして、半導体装置Aは、テストボード10に搭載された図1の状態、所望の動作試験に供され、試験後は、半田バンプ2cおよびテストボード10が除去され、実際の実装工程に供される。

【0029】

【実施例2】図2は、本発明の他の実施例である半導体装置の組み立て方法、およびそれによって製造される半導体装置の構成の一例を示す略断面図である。

【0030】この実施例2の半導体装置Bの組み立て工程では、図3の状態に組み立てた後、半田4の表面にたとえば所望の樹脂を塗着して、樹脂皮膜7を被着形成するところが、前記実施例1の場合と異なる。

【0031】これにより、樹脂皮膜7によって半田4の隙間5が閉塞されるので、当該隙間5の存在に起因する気密不良が解消され、半導体装置Bは、良品として救済される。

【0032】以上発明者によってなされた発明を実施例に基づき説明したが、本発明は前記実施例に限定されるものでなく、その要旨を逸脱しない範囲で種々変更可能である事はいうまでもない。

【0033】

【発明の効果】本願において開示される発明の代表的なものによって得られる効果を簡単に説明すれば、下記の

通りである。

【0034】すなわち、本発明の半導体装置の組み立て方法によれば、パッケージの気密不良の発生が減少し、半導体装置の組み立て工程における歩留りが確実に向上する、という効果が得られる。

【0035】また、本発明の半導体装置によれば、パッケージの気密性が良好となり、動作の信頼性が確実に向上する、という効果が得られる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例である半導体装置の組み立て方法、およびそれによって製造される半導体装置の一例を示す略断面図である。

【図2】本発明の他の実施例である半導体装置の組み立て方法、およびそれによって製造される半導体装置の一例を示す略断面図である。

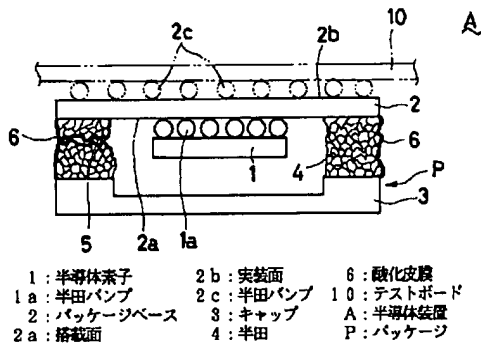
【図3】本発明の一実施例である半導体装置の構成の一例を示す略断面図である。

#### 【符号の説明】

- 1 半導体素子
- 1 a 半田バンプ
- 2 パッケージベース
- 2 a 搭載面
- 2 b 実装面
- 2 c 半田バンプ
- 3 キャップ
- 4 半田
- 5 隙間
- 6 酸化皮膜
- 7 樹脂皮膜
- 10 テストボード
- A 半導体装置
- B 半導体装置
- P パッケージ

【図1】

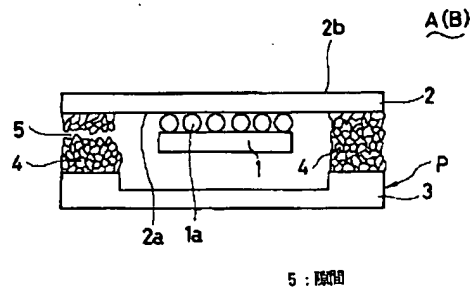
図 1



- 1 : 半導体素子
- 1 a : 半田バンプ
- 2 : パッケージベース
- 2 a : 搭載面
- 2 b : 実装面
- 2 c : 半田バンプ
- 3 : キャップ
- 4 : 半田
- 5 : 酸化皮膜
- 6 : 樹脂皮膜
- 10 : テストボード
- A : 半導体装置
- P : パッケージ

【図3】

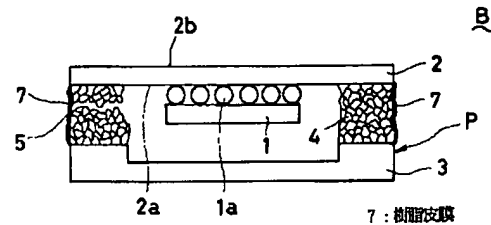
図 3



- 5 : 隙間

【図2】

図 2



- 7 : 樹脂皮膜